

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

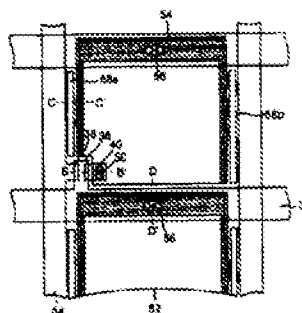
## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030050981 A  
(43)Date of publication of application: 25.06.2003(21)Application number: 1020010081771  
(22)Date of filing: 20.12.2001  
(30)Priority: --  
(51)Int. Cl: G02F 1/136(71)Applicant: LG.PHILIPS LCD CO., LTD.  
(72)Inventor: LEE, MIN JIK  
PARK, CHEOL U

## (54) LIQUID CRYSTAL DISPLAY AND METHOD FOR FABRICATING THE LIQUID CRYSTAL DISPLAY

## (57) Abstract:

PURPOSE: A liquid crystal display and a method for fabricating the liquid crystal display are provided to maintain a uniform horizontal distance between a pixel electrode and a data line and prevent short-circuiting of neighboring pixel electrodes. CONSTITUTION: A thin film transistor is formed at the intersection of a gate line(32) and a data line (34). A pixel electrode(52) is connected to the thin film transistor to drive a liquid crystal cell. A storage electrode(54) is formed to be superposed on a portion of the pixel electrode having a predetermined distance from the data line and a portion of the gate line. A hole (58a,58b) is formed between the storage electrode and the data line along the data line. The distance between the data line and the pixel electrode is 4 micrometers or longer. The width of the hole is less than 3 micrometers.



copyright KIPO 2003

## Legal Status

Date of request for an examination (20011220)  
 Notification date of refusal decision (00000000)  
 Final disposal of an application (registration)  
 Date of final disposal of an application (20050425)  
 Patent registration number (1004934350000)  
 Date of registration (20050525)  
 Number of opposition against the grant of a patent ( )  
 Date of opposition against the grant of a patent (00000000)  
 Number of trial against decision to refuse (2005101001039)  
 Date of requesting trial against decision to refuse (20050218)  
 Date of extinction of right ( )

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>

(11) 공개번호

특2003-0050981

G02F 1/138

(43) 공개일자

2003년06월25일

(21) 출원번호

10-2001-0081771

(22) 출원일자

2001년12월20일

(71) 출원인

엘지.플라스 엘시디 주식회사

대한민국

150-875

서울 영등포구 여의도동 20번지

(72) 발명자

박술우

대한민국

702-757

대구광역시북구구암동청구타운102동410호

이민직

대한민국

701-782

대구광역시동구신천2동신천주공아파트107-803

(74) 대리인

김영호

(77) 심사청구

있음

(54) 출원명

액정표시소자 및 그 제조방법

## 요약

본 발명은 화질을 향상시킬 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시소자는 데이터라인과 게이트라인의 교차부에 형성되는 박막트랜지스터와, 박막트랜지스터에 접속되어 영상신호를 구동하기 위한 화소전극과, 데이터라인과 소정간격 이격되는 화소전극의 일부 영역과 게이트라인의 일부영역에 형성되도록 형성되는 스토리지전극과, 데이터라인을 따라 스토리지전극과 데이터라인 사이에 형성되는 홀을 구비한다.

## 대표도

## 도5

## 영세서

## 도면의 간단한 설명

도 1은 통상의 액정표시소자를 나타내는 평면도.

도 2는 도 1에서 선 "A-A"를 따라 절취한 액정표시소자를 나타내는 단면도.

도 3a 내지 도 3e는 도 2에 도시된 액정표시소자의 제조방법을 나타내는 단면도.

도 4는 도 2에 도시된 화소전극의 패턴분할을 나타내는 도면.

도 5는 본 발명에 따른 액정표시소자를 나타내는 평면도.

도 6은 도 5에서 선 "B-B", "C-C", "D-D"를 따라 절취한 액정표시소자를 나타내는 단면도.

도 7a 및 도 7b는 도 5에 도시된 제1 및 제2 홀의 패턴분할을 나타내는 도면.

도 8a 내지 도 8e는 도 6에 도시된 액정표시소자의 제조방법을 나타내는 단면도.

◎<도면의 주요부분에 대한 부호의 간단한 설명>

1,31 : 기판◎◎◎◎2,32 : 게이트라인

4,34 : 데이터라인◎◎◎◎6,36 : 게이트전극

8,38 : 소스전극◎◎◎◎10,40 : 드레인전극

22,52 : 화소전극

## 발명의 상세한 설명

## 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 화질을 향상시킬 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

통상의 액정표시소자는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시소자는 액정층이 매트릭스 형태로 배열되어진 액정층과, 이 액정층을 구동하기 위한 구동회로를 구비하게 된다. 액정층에는 액정층을 각각에 전계를 인가하기 위한 화소전극과 공통전극이 마련되게 된다. 통상, 화소전극은 하부기판 상에 액정층으로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극을 각각의 스위치 소자로 사용되는 박막 트랜지스터(Thin Film Transistor: TFT)에 접속되게 된다. 화소전극은 박막 트랜지스터를 통해 공급되는 데이터신호에 따라 공통전극과 함께 액정층을 구동하게 된다.

도 1 및 도 2를 참조하면, 액정표시소자는 데이터라인(4)과 게이트라인(2)의 교차부에 위치하는 TFT부(TP)와, TFT부(TP)의 드레인전극(10)에 접속되는 화소전극(22)과, 화소전극(22)과 게이트라인(2)과의 중첩부분에 위치하는 스토리지 캐패시터부(SP)를 구비한다.

TFT부(TP)는 게이트라인(2)에 접속된 게이트전극(6), 데이터라인(4)에 접속된 소스전극(8) 및 드레인전극(10)을 통해 화소전극(22)에 접속된 드레인전극(10)으로 이루어진다. 또한, TFT부(TP)는 게이트전극(6)에 공급되는 게이트전압에 의해 소스전극(8)과 드레인전극(10)간에 채널을 형성하기 위한 반도체층(14,16)을 더 구비한다. 이러한 TFT부(TP)는 게이트라인(2)으로부터의 게이트신호에 응답하여 데이터라인(4)으로부터의 데이터신호를 선택적으로 화소전극(22)에 공급한다.

화소전극(22)은 데이터라인(4)과 게이트라인(2)에 의해 한정된 셀 영역에 위치하며 광투과율이 높은 투명무기도전물질로 이루어진다. 이 화소전극(22)은 드레인전극(10)을 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 공통전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(1)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전율이발생에 의해 회전하게 된다. 이에 따라, 광원으로부터 화소전극(22)을 경유하여 공급되는 광을 상부기판 쪽으로 투과되게 한다.

스토리지 캐패시터부(SP)는 화소전극(22)의 전압변동을 억제하는 역할을 하게 된다. 이러한 스토리지 캐패시터부(SP)는 게이트라인(2)과, 게이트절연막(12)을 사이에 두고 스토리지전극(24)으로 형성된다. 이 스토리지전극(24)은 보호막(18) 상에 형성된 스토리지전극층(26)을 통해 화소전극(22)과 전기적으로 접속된다.

이러한 액정표시소자의 제조방법은 도 3a 내지 도 3e를 참조하여 설명하기로 한다.

먼저, 하부기판(1) 상에 게이트금속층을 증착한 후 패터닝함으로써 도 3a에 도시된 바와 같이 게이트라인(2) 및 게이트전극(6)이 형성된다. 게이트라인(2) 및 게이트전극(6)이 형성된 하부기판(1) 상에 제1 절연물질층을 증착하여 게이트절연막(12)이 형성된다. 이 게이트절연막(12) 상에 제1 및 제2 반도체물질층을 증착한 후 패터닝함으로써 활성층(14) 및 오믹점층(16)이 형성된다. 그런 다음, 게이트절연막(12) 상에 데이터금속층을 증착한 후 패터닝함으로써 스토리지전극(24), 소스전극(8) 및 드레인전극(10)이 형성된다. 이후, 제2 절연물질층을 증착하여 보호층(18)을 형성한 후, 보호층(18)을 관통하는 드레인전극층(20) 및 스토리지전극층(26)이 형성된다. 보호층(18)이 형성된 하부기판(1) 상에 투명전도성물질층을 증착한 후 패터닝함으로써 화소전극(22)이 형성된다.

상술한 구조의 액정표시장치에 있어서 보호막(18)은 주로 질화실리콘(SiNx) 또는 산화실리콘(SiOx)과 같은 유전율이 큰 무기절연물질로 형성된다. 이러한 보호막(18)을 사이에 두고 형성되는 화소전극(22)과 데이터라인(4)은 기생 캐패시터(Cds)에 의한 커패시터 효과를 최소화하기 위하여 일정한 수평간격(x), 예컨대 3~5 $\mu$ m의 간격을 유지해야만 한다. 그러나, 화소전극(22) 형성시 미스알라인먼트가 발생하게 되어 화소전극(22)의 좌우면 데이터라인(4) 간의 간격이 일정하지 않아 데이터라인(4)과 화소전극(22) 간의 기생 캐패시터(Cds) 용량이 불균일해지게 된다. 이 불균일한 기생 캐패시터(Cds)에 의한 커패시터 효과로 데이터라인(4)에 공급되는 데이터신호가 왜곡되어 화소전극(22)에 공급됨에 따라 화질이 열화되는 문제점이 있다.

또한, 화소전극(22) 형성시 도 4에 도시된 바와 같이 투명전도성물질(22a)을 포토레지스트패턴(30)으로 패터닝시 포토레지스트패턴(30)을 제외한 일부영역에 투명전도성물질(22a)이 일부 남아 화소전극(22) 간의 단락이 발생하는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질을 향상시킬 수 있는 액정표시소자 및 그 제조방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자는 데이터라인과 게이트라인의 교차부에 형성되는 박막트랜지스터와, 박막트랜지스터에 접속되어 액정층을 구동하기 위한 화소전극과, 데이터라인과 소정간격 이격되는 화소전극의 일부 영역과 게이트라인의 일부영역에 중첩되도록 형성되는 스토리지전극과, 데이터라인을 따라 스토리지전극과 데이터라인 사이에 형성되는 홀을 구비한다.

상기 데이터라인과 화소전극의 이격거리는 4 $\mu$ m이상의 간격을 특징으로 한다.

상기 홀의 폭은 3 $\mu$ m이하인 것을 특징으로 한다.

상기 스토리지전극은 역"U"자 형태로 형성되는 것을 특징으로 한다.

상기 액정표시소자는 게이트라인과 스토리지전극 사이에 형성되는 게이트절연막과, 박막트랜지스터, 데이터라인 및 스토리지전극을 덮는 보호막을 구비하며, 홀은 보호막 및 게이트절연막을 관통하는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자의 제조방법은 기판 상에 게이트라인을 형성하는 단계와, 기판 상에 게이트절연막을 형성하는 단계와, 게이트절연막 상에 데이터라인을 형성함과 동시에 게이트라인과 중첩되는 영역에서 신장되어 데이터라인과 평행하게 형성되는 스토리지전극을 형성하는 단계와, 게이트절연막 상에 보호층을 형성하는 단계와, 스토리지전극과 데이터라인 사이에 상기 보호층과 게이트절연막을 관통하는 홀과 스토리지전극을 노출시키는 스토리지전극층을 형성하는 단계와, 보호층 상에 화소전극을 형성하는 단계를 포함한다.

상기 액정표시소자의 제조방법은 기판 상에 게이트전극을 형성하는 단계와, 게이트절연막 상에 반도체층을 형성하는 단계와,

게이트절연막과 반도체층 상에 소스전극 및 드레인전극을 형성하는 단계와, 보호층을 관통하여 화소전극과 드레인전극을 접속시키는 드레인접속층을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 데이터라인은 스토리지전극과 약 4 $\mu\text{m}$ 이상으로 이격되어 형성되는 것을 특징으로 한다.

상기 층의 폭은 약 3 $\mu\text{m}$ 이하인 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 5 내지 도 8e를 참조하여 상세하게 설명하기로 한다.

도 5 및 도 6을 참조하면, 액정표시소자의 하부기판(31)은 데이터라인(34)과 게이트라인(32)의 교차부에 위치하는 TFT부(TP)와, TFT부(TP)의 드레인전극(40)에 접속되는 화소전극(52)과, 화소전극(52)과 이전단의 게이트라인(32)과 중첩부분에 위치하는 스토리지 캐패시터부(SP)를 구비한다.

TFT부(TP)는 게이트라인(32)에 접속된 게이트전극(36), 데이터라인(34)에 접속된 소스전극(38) 및 드레인접속층(50)을 통해 화소전극(52)에 접속된 드레인전극(40)으로 이루어진다. 또한, TFT부(TP)는 게이트전극(36)에 공급되는 게이트전압에 의해 소스전극(38)과 드레인전극(40)간에 채널을 형성하기 위한 반도체층(44,46)을 더 구비한다. 이러한 TFT부(TP)는 게이트라인(32)으로부터의 게이트신호에 응답하여 데이터라인(34)으로부터의 데이터신호를 선택적으로 화소전극(52)에 공급한다.

화소전극(52)은 데이터라인(34)과 게이트라인(32)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 투명무기도전물질로 이루어진다. 이 화소전극(52)은 드레인접속층(50)을 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 공물전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(31)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전율이 방향성에 의해 회전하게 된다. 이에 따라, 광원으로부터 화소전극(52)을 경유하여 공급되는 광을 상부기판 쪽으로 투과되게 한다.

스토리지 캐패시터부(SP)는 화소전극(52)의 전압변동을 억제하는 역할을 하게 된다. 이러한 스토리지 캐패시터부(SP)는 게이트라인(32)과, 게이트절연막(42)을 사이에 두고 형성되는 스토리지전극(54)으로 이루어진다. 스토리지전극(54)은 보호막(48)에 형성된 스토리지접속층(56)을 통해 화소전극(52)과 전기적으로 접속된다.

또한, 스토리지전극(54)은 데이터라인(34)과 동일층에 형성되며, 데이터라인(34)과 평행하게 신장되어 화소전극(52)과 중첩된다. 이 스토리지전극(54)과 데이터라인(34) 간의 이격거리는 약 4 $\mu\text{m}$ 이상으로 형성된다.

이에 따라, 화소전극(52)의 좌우에 위치하는 데이터라인(34)과 화소전극(52) 간의 수평거리가 일정해져 화소전극(52)과 데이터라인(34) 간의 기생캐패시터(Cds) 용량이 일정해진다. 이에 따라, 종래 기생캐패시터(Cds) 불균일에 의한 데이터신호의 열화를 방지할 수 있어 화질이 개선된다. 또한, 스토리지전극(54)이 화소전극(52)의 일부영역을 감싸는 역"U"자 형태로 형성되므로 종래보다 스토리지전극(54)면적이 넓어져 스토리지캐패시터용량이 커진다.

이러한 스토리지전극(54)과 데이터라인(34) 사이에는 보호층(48)과 게이트절연막(42)을 관통하는 제1 및 제2 홀(58a,58b)이 형성된다. 제1 및 제2 홀(58a,58b)은 데이터라인(34)을 따라 길게 형성되며, 약 3 $\mu\text{m}$ 이하의 폭을 갖도록 형성된다. 이 때, 스토리지전극(54)과 데이터라인(34) 사이에 패터닝 불균에 의한 단락이 형성되어 있더라도 자질로 끊어지는 효과를 가지게 된다.

이러한 제1 및 제2 홀(58a,58b) 상에 화소전극(52)을 형성하는 투명전도성물질(52a)은 도 7a에 도시된 바와 같이 제1 및 제2 홀(58a,58b)의 경사부에 상대적으로 얇게 증착된다. 상대적으로 얇게 증착된 투명전도성물질(52a)은 포토레지스트패턴(60)을 이용한 습식식각시 도 7b에 도시된 바와 같이 상대적으로 식각되는 길이가 낮아 투명전도성물질(52a)이 빨리 식각되어 투명전도성물질(52a)이 끊어진다. 이에 따라, 이웃하는 화소전극(52)끼리의 단락결함을 방지할 수 있다.

반면에, 스토리지접속층(56)과 드레인접속층(50)과 대응되는 영역에 증착되는 투명전도성물질(52a)은 그 상부에 포토레지스트패턴(60)이 형성된다. 이에 따라, 습식식각시 포토레지스트패턴(60) 하부에 투명전도성물질(52a)이 잔존하게 되어 추후에 화소전극(52)으로 형성된다.

도 8a 내지 도 8e는 도 6에 도시된 액정표시소자의 제조방법을 나타내는 도면이다.

도 8a를 참조하면, 기판(51) 상에 스퍼터링(sputtering) 등의 증착방법으로 게이트금속층이 증착된다. 게이트금속층으로는 알루미늄(Al) 또는 알루미늄 합금 등이 이용된다. 이어서, 게이트금속층을 식각공정을 포함하는 포토리소그래피 공정으로 패터닝함으로써 게이트라인(32) 및 게이트전극(36)이 형성된다.

도 8b를 참조하면, 게이트라인(32) 및 게이트전극(36)이 형성된 기판(31) 상에 게이트절연막(42)이 형성된다. 게이트절연막(42)은 무기절연물질인 산화실리콘( $\text{SiO}_x$ ) 또는 질화실리콘( $\text{SiN}_x$ )이 사용된다. 게이트절연막(42) 상에는 제1 및 제2 반도체층이 화학기상증착(Chemical Vapor Deposition) 방법으로 연속 증착된다. 제1 반도체층은 불순물이 도핑되지 않은 비정질실리콘으로 형성되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성된다. 이어서, 제1 및 제2 반도체층이 건식식각(Dry Etching) 공정을 포함하는 포토리소그래피 방법으로 패터닝됨으로써 활성층(44) 및 오믹접속층(46)이 형성된다.

도 8c를 참조하면, 활성층(44) 및 오믹접속층(46)이 형성된 게이트절연막(42) 상에 CVD방법 또는 스퍼터링(sputtering) 등의 증착방법으로 데이터금속층이 증착된다. 데이터금속층으로는 크롬(Cr) 또는 몰리브덴(Mo)등으로 형성된다. 이어서, 데이터금속층을 습식식각 공정을 포함하는 포토리소그래피 공정으로 패터닝됨으로써 스토리지전극(54), 데이터라인(34), 소스전극(38) 및 드레인전극(40)이 형성된다. 그 다음, 소스전극(38)과 드레인전극(40) 사이로 노출된 오믹접속층(46)이 건식식각 공정으로 제거되어 소스전극(38)과 드레인전극(40)을 분리시킨다. 오믹접속층(46)이 일부 제거됨으로써 활성층(44)에서 소스 및 드레인전극(38,40)사이의 게이트전극(36)과 대응하는 부분은 채널이 된다.

도 8d를 참조하면, 스토리지전극(54), 데이터라인(34), 소스전극(38) 및 드레인전극(40)이 형성된 기판(31)의 게이트절연막(42) 상에 절연물질이 증착된다. 절연물질의 재료로는 아크릴(Acryl)계 유기화합물, BCB(benzocyclobutene), PFCB(perfluorocyclobutane) 등의 유기절연물질, 또는 질화실리콘( $\text{SiN}_x$ ), 산화실리콘( $\text{SiO}_x$ ) 등의 무기절연물질로 형성된다. 이어서, 절연물질을 식각공정을 포함하는

포토리소그래피공정으로 패턴닝함으로써 보호층(48), 스토리지접촉층(56), 드레인접촉층(50), 제1 및 제2 홀(58a, 58b)이 형성된다.

스토리지접촉층(56)은 보호층(48)을 관통하여 스토리지전극(54)의 일부가 노출되도록 형성되며, 드레인접촉층(50)은 보호층(48)을 관통하여 드레인전극(40)의 일부가 노출되도록 형성된다. 제1 및 제2 홀(58a, 58b)은 보호층(48)과 게이트절연막(42)을 관통하여 이웃하는 화소전극간의 단락접합을 방지한다.

또 Be를 첨가하면, 보호막(46) 상에 스퍼터링(sputtering) 등과 같은 증착방법으로 투명전극층이 형성된다. 투명전극층은 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO), 인듐-징크-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide : ITZO)으로 사용된다. 이어서, 투명전극층이 식각공정을 포함하는 포토리소그래피 공정으로 패턴닝됨으로써 화소전극(52)이 형성된다. 화소전극(52)은 보호막(46)을 관통하는 드레인접촉층(50)을 통해 드레인전극(40)과 접속되며, 스토리지접촉층(56)을 통해 스토리지전극(54)과 접속된다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시소자 및 그 제조방법에 의하면, 스토리지전극을 데이터라인과 동일층에 데이터라인과 평행하게 형성되어 화소전극과 중첩된다. 이에 따라, 화소전극과 데이터라인 간의 수평간격을 일정하게 유지할 수 있다.

또한, 데이터라인과 스토리지전극 사이에 홀을 형성함으로써 이웃하는 화소전극간의 단락접합을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

#### (57) 청구의 범위

##### 청구항 1.

데이터라인과 게이트라인의 교차부에 형성되는 박막트랜지스터와,

상기 박막트랜지스터에 접속되어 액정셀을 구동하기 위한 화소전극과,

상기 데이터라인과 소정간격 이격되는 화소전극의 일부 영역과 상기 게이트라인의 일부영역에 중첩되도록 형성되는 스토리지전극과,

상기 데이터라인을 따라 상기 스토리지전극과 상기 데이터라인 사이에 형성되는 홀을 구비하는 것을 특징으로 하는 액정표시소자.

##### 청구항 2.

제 1 항에 있어서,

상기 데이터라인과 화소전극의 이격거리는 4 $\mu$ m이상의 것을 특징으로 하는 액정표시소자.

##### 청구항 3.

제 1 항에 있어서,

상기 홀의 폭은 3 $\mu$ m이하인 것을 특징으로 하는 액정표시소자.

##### 청구항 4.

제 1 항에 있어서,

상기 스토리지전극은 역"U"자 형태로 형성되는 것을 특징으로 하는 액정표시소자.

##### 청구항 5.

제 1 항에 있어서,

상기 게이트라인과 스토리지전극 사이에 형성되는 게이트절연막과,

상기 박막트랜지스터, 데이터라인 및 스토리지전극을 덮는 보호막을 구비하며,

상기 홀은 상기 보호막과 게이트절연막을 관통하는 것을 특징으로 하는 액정표시소자.

##### 청구항 6.

기판 상에 게이트라인을 형성하는 단계와,

상기 기판 상에 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 데이터라인을 형성함과 동시에 상기 게이트라인과 중첩되는 영역에서 신장되어 상기 데이터라인과 평행하게 형성되는 스토리지전극을 형성하는 단계와,

상기 게이트절연막 상에 보호층을 형성하는 단계와,

상기 스토리지전극과 데이터라인 사이에 상기 보호층 및 게이트절연막을 관통하는 홀과 상기 스토리지전극을 노출시키는 스토리지접촉층을 형성하는 단계와,

상기 보호층 상에 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

##### 청구항 7.

제 6 항에 있어서,

상기 기판 상에 게이트전극을 형성하는 단계와,

상기 게이트절연막 상에 반도체층을 형성하는 단계와,

상기 게이트절연막과 반도체층 상에 소스전극 및 드레인전극을 형성하는 단계와,

상기 반도체층 전층하여 상기 소스전극과 드레인전극을 형성시키는 단계인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8.

제 6 항에 있어서,

상기 데이터라인은 상기 스트리저전극과 약 4 $\mu\text{m}$ 이상으로 어긋되어 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

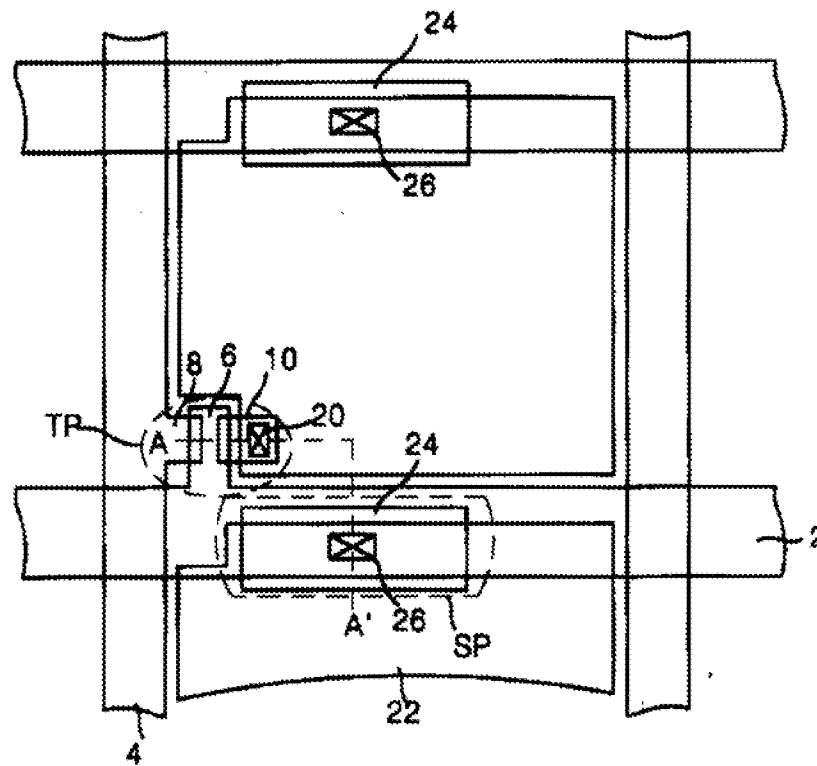
청구항 9.

제 6 항에 있어서,

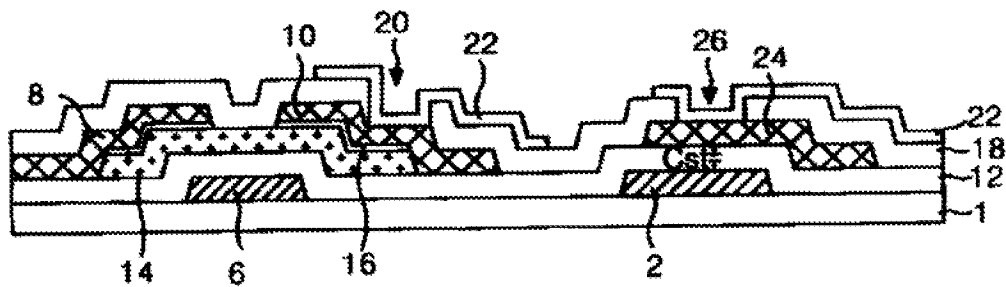
상기 홀의 폭은 약 3 $\mu\text{m}$ 이 하인 것을 특징으로 하는 액정표시소자의 제조방법.

도면

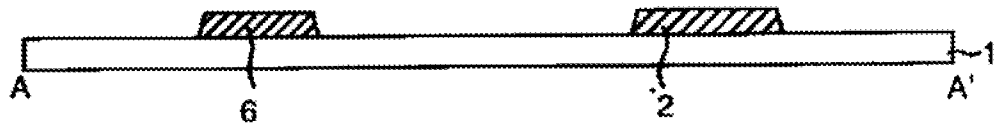
도면 1



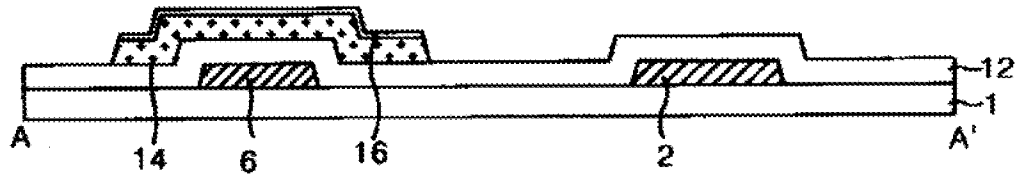
도면 2



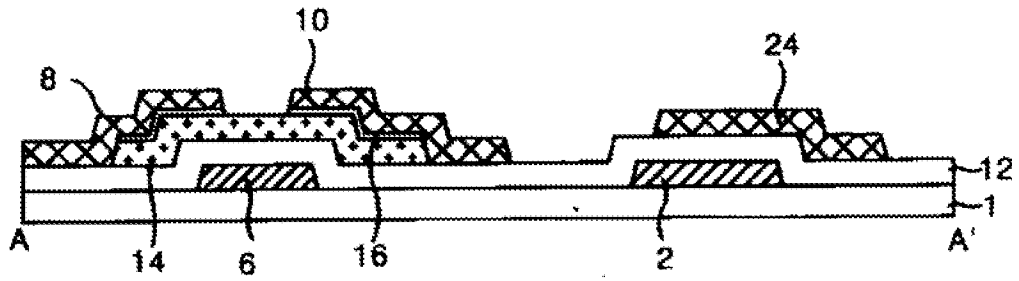
도면 3a



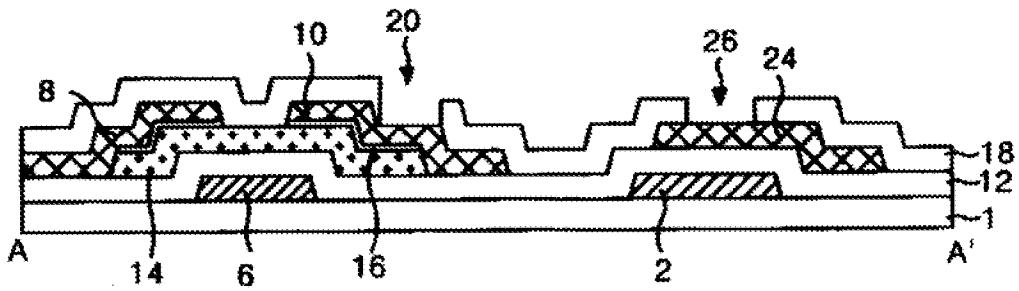
도면 3b



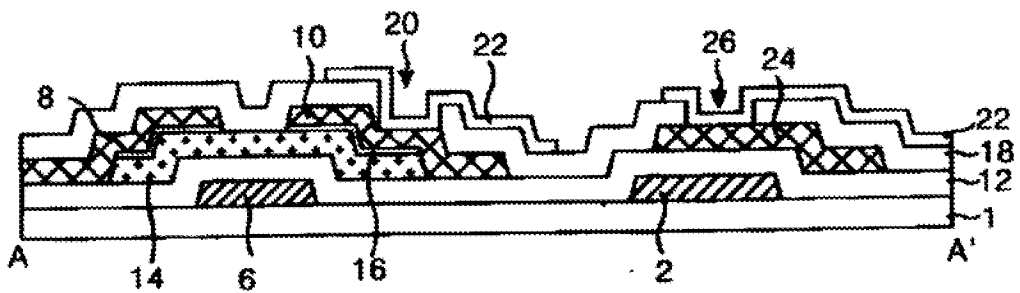
도면 3c



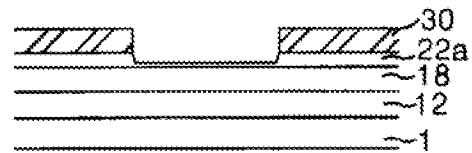
도면 3d



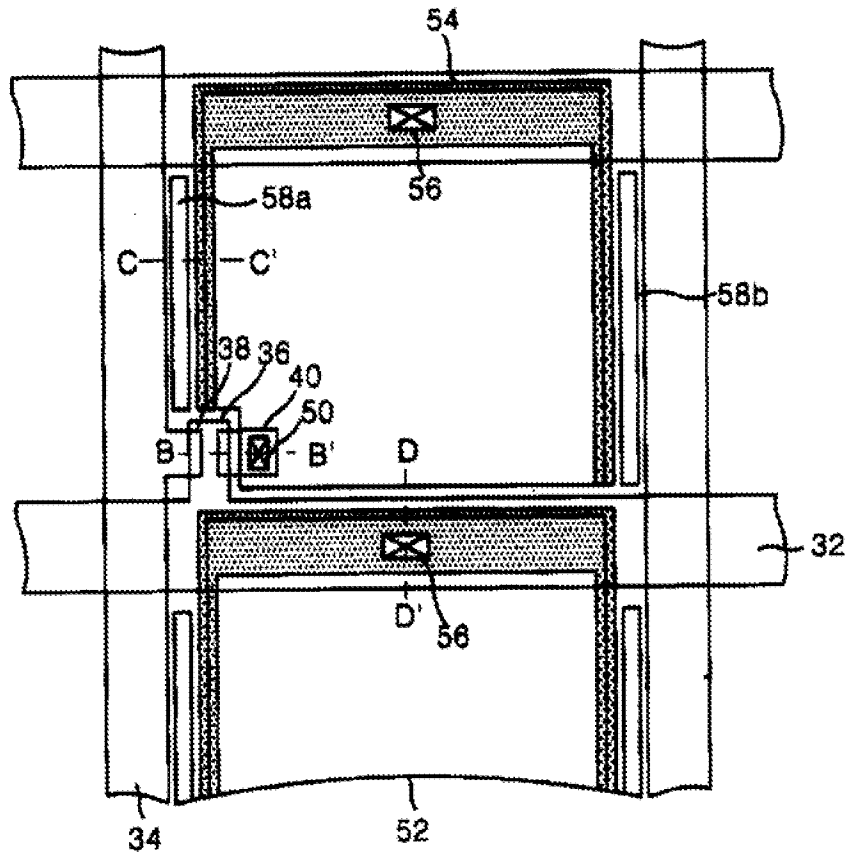
도면 3e



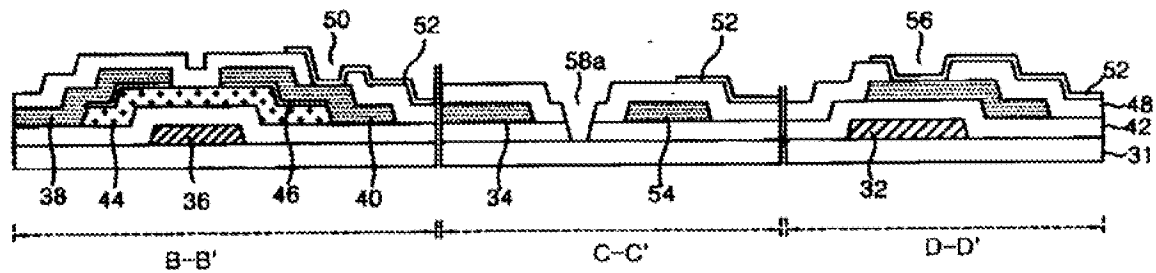
도면 4



도면 5

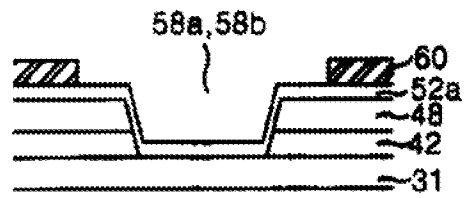


도면 6

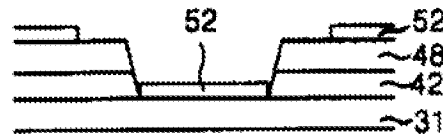


도면 7a

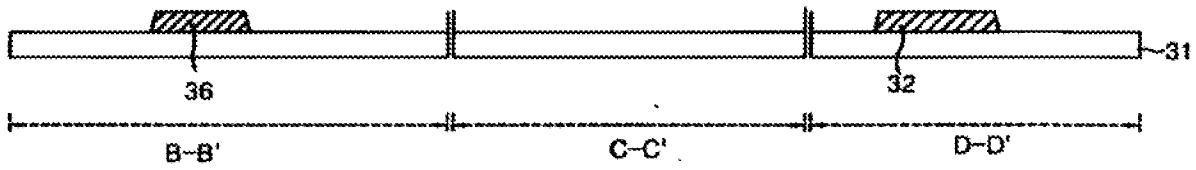




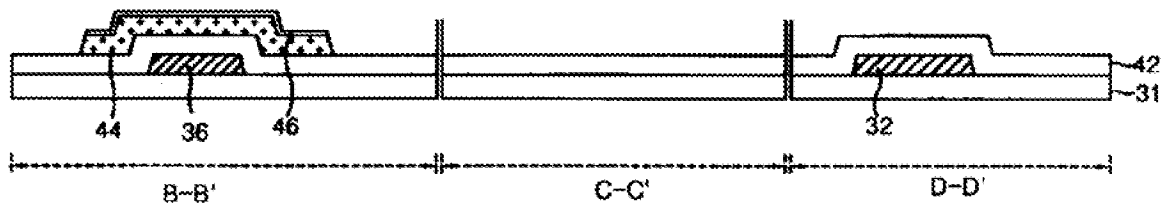
도면 7b



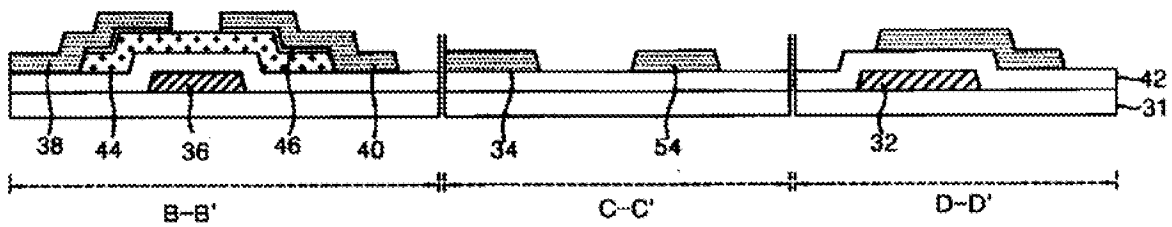
도면 8a



도면 8b



도면 8c



도면 8d

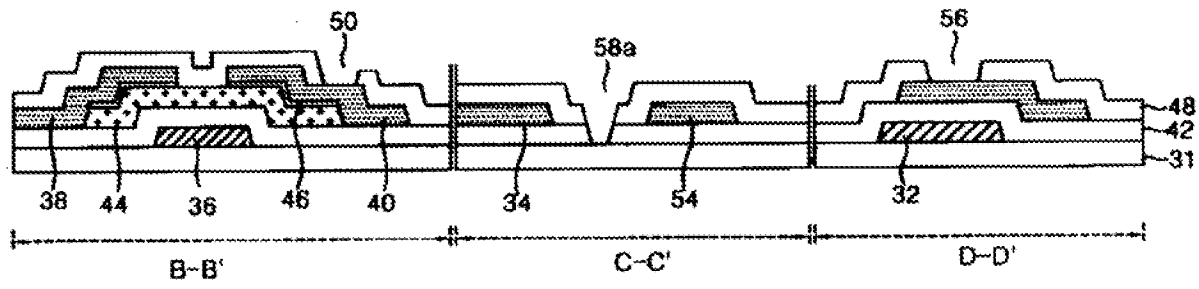


FIG 8e

